

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-268838

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.⁶

識別記号

F I

G 0 9 G 3/36

C 0 9 G 3/36

G 0 2 F 1/133

5 0 5

C 0 2 F 1/133

5 0 5

審査請求 未請求 請求項の数 8 O L (全 18 頁)

(21) 出願番号

特願平9-71328

(22) 出願日

平成9年(1997)3月25日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 五十嵐 陽一

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

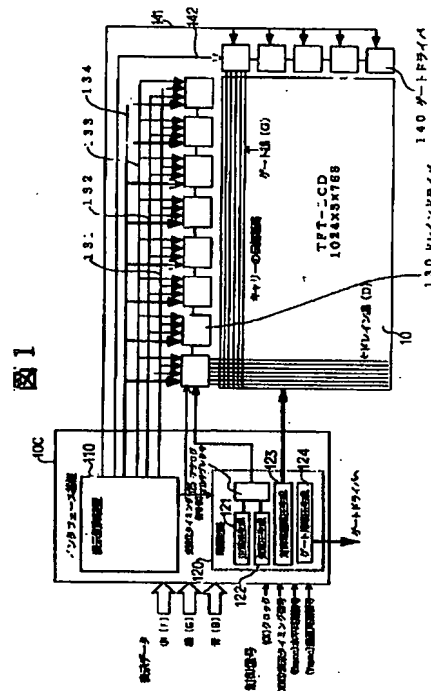
(74) 代理人 弁理士 秋田 収喜

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 表示データのバスラインのバス幅を増やすことなく、駆動手段に送出されるクロック信号の周波数を低減した液晶表示装置を提供する。

【解決手段】 液晶表示パネル(10)と、列方向の複数の画素に映像電圧を印加する駆動手段(130)と、入力される表示データを駆動手段に送出するとともに、入力される入力表示制御信号に基づき少なくともクロック信号を含む制御信号を生成し、当該制御信号を駆動手段に送出して、駆動手段を制御駆動する表示制御手段(110)とを具備する液晶表示装置において、表示制御手段は、周波数が同じで、互いに位相の異なる複数のクロック信号を駆動手段に送出し、駆動手段は、当該複数のクロック信号に基づき、その周波数が逡倍された逡倍クロック信号を生成する逡倍クロック生成手段と、当該逡倍クロック信号に基づき表示制御手段から送出される表示データを格納する格納手段とを具備する。



【特許請求の範囲】

【請求項1】 マトリクス状に形成される複数の画素を有する液晶表示パネルと、列方向の複数の画素に表示データに基づく映像電圧を印加する駆動手段と、入力される表示データを前記駆動手段に送出するとともに、入力される入力表示制御信号に基づき少なくともクロック信号を含む制御信号を生成し、当該制御信号を前記駆動手段に送出して、前記駆動手段を制御駆動する表示制御手段とを具備する液晶表示装置において、前記表示制御手段は、周波数が同じで、互いに位相の異なる複数のクロック信号を前記駆動手段に送出し、前記駆動手段は、前記周波数が同じで、互いに位相の異なる複数のクロック信号に基づき、その周波数が通倍された通倍クロック信号を生成するクロック信号通倍手段と、前記クロック信号通倍手段で生成された通倍クロック信号に基づき前記表示制御手段から送出される表示データを格納する格納手段とを、少なくとも具備することを特徴とする液晶表示装置。

【請求項2】 前記格納手段は、前記クロック信号通倍手段で生成された通倍クロック信号の立ち上がり時（あるいは立ち下がり時）に同期して前記表示制御手段から送出される表示データを格納するプリラッチ部と、前記クロック信号通倍手段で生成された通倍クロック信号の立ち上がり時（あるいは立ち下がり時）に同期してデータ取り込み信号を生成するシフトレジスタ部と、前記シフトレジスタ部で生成されたデータ取り込み信号により前記プリラッチ部から出力される表示データを格納する入力ラッチ部とを、少なくとも具備することを特徴とする請求項1に記載された液晶表示装置。

【請求項3】 前記表示制御装置は、2系統のバスラインを介して、前記駆動手段に表示データを送出し、前記格納手段は、前記クロック信号通倍手段で生成された通倍クロック信号の立ち下がり時に同期して、前記表示制御手段から送出される2系統の表示データの一方の表示データを格納する第1のプリラッチ部と、前記クロック信号通倍手段で生成された通倍クロック信号の立ち上がり時に同期して、前記表示制御手段から送出される2系統の表示データの他方の表示データを格納する第2のプリラッチ部と、前記クロック信号通倍手段で生成された通倍クロック信号の立ち上がり時に同期して第1のデータ取り込み信号を生成する第1のシフトレジスタ部と、前記クロック信号通倍手段で生成された通倍クロック信号の立ち下がり時に同期して第2のデータ取り込み信号を生成する第2のシフトレジスタ部と、前記第1のシフトレジスタ部で生成された第1のデータ取り込み信号により前記第1のプリラッチ部から出力される表示データを格納し、また、前記第2のシフトレジスタ部で生成された第2のデータ取り込み信号により前記第2のプリラッチ部から出力される表示データを格納する入力ラッチ部とを、少なくとも具備することを特徴とする請求項1

に記載された液晶表示装置。

【請求項4】 前記複数のクロック信号は、第1のクロック信号と、前記第1のクロック信号と位相の異なる第2のクロック信号であることを特徴とする請求項1ないし請求項3のいずれか1項に記載された液晶表示装置。

【請求項5】 前記クロック信号通倍手段は、前記第1のクロック信号と前記第2のクロック信号とが入力されるアンド回路と、前記第1のクロック信号と前記第2のクロック信号とが入力されるノア回路と、前記アンド回路と前記ノア回路とが入力されるオア回路で構成されることを特徴とする請求項4に記載された液晶表示装置。

【請求項6】 マトリクス状に形成される複数の画素を有する液晶表示パネルと、列方向の複数の画素に表示データに基づく映像電圧を印加する駆動手段と、入力される表示データを前記駆動手段に送出するとともに、入力される入力表示制御信号に基づき少なくともクロック信号を含む制御信号を生成し、当該制御信号を前記駆動手段に送出して、前記駆動手段を制御駆動する表示制御手段とを具備する液晶表示装置において、

前記表示制御手段は、第1のクロック信号と、前記第1のクロック信号と周波数が同じで、位相の異なる第2のクロック信号とを前記駆動手段に送出し、前記駆動手段は、前記第1のクロック信号の立ち上がり時に同期して、前記表示制御手段から送出される表示データを格納する第1のプリラッチ部と、前記第1のクロック信号の立ち下がり時に同期して、前記表示制御手段から送出される表示データを格納する第2のプリラッチ部と、前記第2のクロック信号の立ち上がり時に同期して第1のデータ取り込み信号を生成する第1のシフトレジスタ部と、前記第2のクロック信号の立ち下がり時に同期して第2のデータ取り込み信号を生成する第2のシフトレジスタ部と、前記第1のシフトレジスタ部で生成された第1のデータ取り込み信号により第1のプリラッチ部から出力される表示データを格納し、また、前記第2のシフトレジスタ部で生成された第2のデータ取り込み信号により第2のプリラッチ部から出力される表示データを格納する入力ラッチ部とを、少なくとも具備することを特徴とする液晶表示装置。

【請求項7】 前記周波数が同じで、互いに位相の異なる複数のクロック信号の位相差（ θ ）が、 $0 < \theta < \pi$ 、あるいは、 $\pi < \theta < 2\pi$ であることを特徴とする請求項1ないし請求項6のいずれか1項に記載された液晶表示装置。

【請求項8】 請求項1ないし請求項7に記載された液晶表示装置を備える液晶モニタであって、前記表示データおよび入力表示制御信号が、低振幅で差動形式の信号によりコンピュータ本体側から前記表示制御装置に入力されることを特徴とする液晶モニタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係わり、特に、液晶表示パネルの高解像度化に適用して有効な技術に関する。

【0002】

【従来の技術】液晶表示装置は、ストライプ状のXY電極の交点の画素を駆動する単純マトリクス形液晶表示装置と、画素毎に能動素子（例えば、薄膜トランジスタ）を有し、この能動素子をスイッチング駆動するアクティブマトリクス型液晶表示装置に大別される。

【0003】このアクティブマトリクス型液晶表示装置として、液晶表示パネル（TFT-LCD）と、液晶表示パネルの上側に配置されるドレインドライバと、液晶表示パネルの側面に配置されるゲートドライバおよびインタフェース部とを備えるTFT方式の液晶表示モジュールが知られている。

【0004】このTFT方式の液晶表示モジュールにおいて、前記液晶表示パネルは、マトリクス状に形成される複数の画素を有し、各画素は、薄膜トランジスタを有する。

【0005】列方向の各画素における薄膜トランジスタのドレイン電極は、それぞれドレイン信号線に接続され、各ドレイン信号線は、列方向の画素の液晶に映像電圧（表示データ電圧）を印加するドレインドライバに接続される。

【0006】また、行方向の各画素における薄膜トランジスタのゲート電極は、それぞれゲート信号線に接続され、各ゲート信号線は、1水平走査時間、薄膜トランジスタのゲートに正のバイアス電圧、あるいは、負のバイアス電圧を供給するゲートドライバに接続される。

【0007】また、このTFT方式の液晶表示モジュールにおいて、インタフェース部は、表示制御装置と電源回路とから構成される。電源回路は、ドレインドライバ、ゲートドライバ、および液晶表示パネルのコモン電極に印加する駆動電圧を生成する。

【0008】表示制御装置は、1個の半導体集積回路（LSI）から構成され、本体コンピュータ側から送信されてくるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号の各表示制御信号、表示用データを基に、ドレインドライバおよびゲートドライバを制御・駆動する。

【0009】ドレインドライバは、表示制御装置から送出される表示データラッチ用クロック信号（D2）（以下、クロック信号（D2）と称す。）に基づいて、表示用データを出力本数分だけ入力レジスタ部にラッチする。また、表示制御装置から送出される出力タイミング制御用クロック信号（D1）に基づいて、入力レジスタ部にラッチされていた表示データを、ストレージラッチ部にラッチし、さらに、当該ストレージラッチ部にラッチされた各表示データに対応する映像電圧を、液晶表示パネルの各ドレイン信号線（D）に出力する。

【0010】ゲートドライバは、表示制御装置から送出されるフレーム開始指示信号およびクロック信号（G1）に基づき、クロック信号（G1）に同期して、液晶表示パネルの各ゲート信号線（G）に接続された複数の薄膜トランジスタ（TFT）を、1水平時間毎に、順次導通させる。

【0011】以上の動作により、液晶表示パネルに画像が表示される。なお、このような技術は、例えば、特願平8-247659号に記載されている。

【0012】

【発明が解決しようとする課題】従来から液晶表示装置においては、液晶表示パネルの高解像度化が要求されており、液晶表示パネルの解像度が、例えば、VGA表示モードの640×480画素からSVGA表示モードの800×600画素と拡大されてきている。

【0013】しかしながら、近年、液晶表示装置においては、液晶表示パネルの大画面化の要求に伴って、液晶表示パネルの解像度として、XGA表示モードの1024×768画素、SXGA表示モードの1280×1024画素、UXGA表示モードの1600×1200画素とさらなる高解像度化が要求されている。

【0014】このような、液晶表示パネルの高解像度化に伴い、表示制御装置、ドレインドライバおよびゲートドライバも高速動作を余儀なくされており、特に、表示制御装置からドレインドライバに出力されるクロック信号（D2）および表示用データの動作周波数は高速化の影響が大きい。

【0015】例えば、VGA表示モードの640×480画素の液晶表示パネルでは、25MHzの周波数のクロック信号（D2）および12.5MHz（25MHzの半分）の周波数の表示用データ、また、SVGA表示モードの800×600画素の液晶表示パネルでは、40MHzの周波数のクロック信号（D2）および20MHz（40MHzの半分）の周波数の表示用データであったのが、XGA表示モードの1024×768画素の液晶表示パネルでは、65MHzの周波数のクロック信号（D2）および32.5MHz（65MHzの半分）の周波数の表示用データが必要となる。

【0016】しかしながら、周波数が32.5MHzの表示用データはドレインドライバで認識可能であるが、前記クロック信号（D2）はプリント配線基板上に設けられる信号線を介して、表示制御装置からドレインドライバへ送出される関係上、周波数が65MHzのクロック信号（D2）はドレインドライバで認識することができなかった。

【0017】即ち、プリント配線基板上に設けられる信号線は、終端開放の分布定数線路と等価であるが、この終端開放の分布定数線路で周波数が65MHzのクロック信号（D2）を伝送する場合には波形歪みが顕著となり、ドレインドライバで、クロック信号（D2）を認識

することができなくなる。

【0018】このように、従来の液晶表示装置では、液晶表示パネルの大画面化に伴って、高解像度の液晶表示パネルを使用する場合に、表示制御装置から高周波数のクロック信号(D2)をドレインドライバへ転送することができないという問題点があった。

【0019】本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、表示データのバスラインのバス幅を増やすことなく、駆動手段に送出されるクロック信号の周波数を低減することが可能となる技術を提供することにある。

【0020】本発明の他の目的は、液晶表示装置において、駆動手段内に、特殊な回路あるいは高速動作に適していない遅延回路を用いることなく、また、駆動手段内の回路変更を最小限にして、駆動手段に送出されるクロック信号から、その周波数が通倍されたクロック信号を生成することが可能となる技術を提供することにある。

【0021】本発明の前記目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0022】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0023】マトリクス状に形成される複数の画素を有する液晶表示パネルと、列方向の複数の画素に表示データに基づく映像電圧を印加する駆動手段と、入力される表示データを前記駆動手段に送出するとともに、入力される入力表示制御信号に基づき少なくともクロック信号を含む制御信号を生成し、当該制御信号を前記駆動手段に送出して、前記駆動手段を制御駆動する表示制御手段とを具備する液晶表示装置において、前記表示制御手段は、周波数が同じで、互いに位相の異なる複数のクロック信号を前記駆動手段に送出し、前記駆動手段は、前記周波数が同じで、互いに位相の異なる複数のクロック信号に基づき、その周波数が通倍された通倍クロック信号を生成するクロック信号通倍手段と、前記クロック信号通倍手段で生成された通倍クロック信号に基づき前記表示制御手段から送出される表示データを格納する格納手段とを具備する。

【0024】前記格納手段は、前記クロック信号通倍手段で生成された通倍クロック信号の立ち下がり時(あるいは立ち上がり時)に同期して前記表示制御手段から送出される表示データを格納するプリラッチ部と、前記クロック信号通倍手段で生成された通倍クロック信号の立ち上がり時(あるいは立ち下がり時)に同期してデータ取り込み信号を生成するシフトレジスタ部と、前記シフトレジスタ部で生成されたデータ取り込み信号により前記プリラッチ部から出力される表示データを格納する入力ラッチ部とを具備する。

【0025】前記表示制御装置は、2系統のバスラインを介して、前記駆動手段に表示データを送出し、前記格納手段は、前記クロック信号通倍手段で生成された通倍クロック信号の立ち下がり時に同期して、前記表示制御手段から送出される2系統の表示データの一方の表示データを格納する第1のプリラッチ部と、前記クロック信号通倍手段で生成された通倍クロック信号の立ち上がり時に同期して、前記表示制御手段から送出される2系統の表示データの他方の表示データを格納する第2のプリラッチ部と、前記クロック信号通倍手段で生成された通倍クロック信号の立ち上がり時に同期して第1のデータ取り込み信号を生成する第1のシフトレジスタ部と、前記クロック信号通倍手段で生成された通倍クロック信号の立ち下がり時に同期して第2のデータ取り込み信号を生成する第2のシフトレジスタ部と、前記第1のシフトレジスタ部で生成された第1のデータ取り込み信号により前記第1のプリラッチ部から出力される表示データを格納し、また、前記第2のシフトレジスタ部で生成された第2のデータ取り込み信号により前記第2のプリラッチ部から出力される表示データを格納する入力ラッチ部とを具備する。

【0026】前記複数のクロック信号は、第1のクロック信号と、前記第1のクロック信号と位相の異なる第2のクロック信号である。

【0027】前記クロック信号通倍手段は、前記第1のクロック信号と前記第2のクロック信号とが入力されるアンド回路と、前記第1のクロック信号と前記第2のクロック信号とが入力されるノア回路と、前記アンド回路と前記ノア回路とが入力されるオア回路で構成される。

【0028】マトリクス状に形成される複数の画素を有する液晶表示パネルと、列方向の複数の画素に表示データに基づく映像電圧を印加する駆動手段と、入力される表示データを前記駆動手段に送出するとともに、入力される入力表示制御信号に基づき少なくともクロック信号を含む制御信号を生成し、当該制御信号を前記駆動手段に送出して、前記駆動手段を制御駆動する表示制御手段とを具備する液晶表示装置において、前記表示制御手段は、第1のクロック信号と、前記第1のクロック信号と周波数が同じで、位相の異なる第2のクロック信号とを前記駆動手段に送出し、前記駆動手段は、前記第1のクロック信号の立ち上がり時に同期して、前記表示制御手段から送出される表示データを格納する第1のプリラッチ部と、前記第1のクロック信号の立ち下がり時に同期して、前記表示制御手段から送出される表示データを格納する第2のプリラッチ部と、前記第2のクロック信号の立ち上がり時に同期して第1のデータ取り込み信号を生成する第1のシフトレジスタ部と、前記第2のクロック信号の立ち下がり時に同期して第2のデータ取り込み信号を生成する第2のシフトレジスタ部と、前記第1のシフトレジスタ部で生成された第1のデータ取り込み信

号により第1のプリラッチ部から出力される表示データを格納し、また、前記第2のシフトレジスタ部で生成された第2のデータ取り込み信号により第2のプリラッチ部から出力される表示データを格納する入力ラッチ部とを具備する。

【0029】前記周波数が同じで、互いに位相の異なる複数のクロック信号の位相差(θ)が、 $0 < \theta < \pi$ 、あるいは、 $\pi < \theta < 2\pi$ である。

【0030】

【発明の実施の形態】以下、本発明実施の形態を図面を参照して説明する。

【0031】なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0032】〔発明の実施の形態1〕図1は、本発明の一実施の形態であるTFT方式の液晶表示モジュールの概略構成を示すブロック図である。

【0033】本実施の形態の液晶表示モジュールは、液晶表示パネル(TFT-LCD)10の上側にドレインドライバ130が配置され、また、液晶表示パネル10の側面に、ゲートドライバ140、インタフェース部100が配置される。

【0034】インタフェース部100はインタフェース基板に実装され、また、ドレインドライバ130、ゲートドライバ140も、それぞれ専用のプリント基板に実装される。

【0035】図2は、図1に示す液晶表示パネル10の一例の等価回路を示す図である。

【0036】同図に示すように、液晶表示パネル10は、マトリクス状に形成される複数の画素を有する。各画素は、隣接する2本の信号線(ドレイン信号線(D)またはゲート信号線(G))と、隣接する2本の信号線(ゲート信号線(G)またはドレイン信号線(D))との交差領域内に配置される。

【0037】各画素は薄膜トランジスタ(TFT)を有し、各画素の薄膜トランジスタ(TFT)のソース電極は、画素電極(図示せず)に接続され、画素電極とコモン電極(Vcom)との間に液晶層が設けられるので、薄膜トランジスタ(TFT)のソース電極とコモン電極との間には、液晶容量(CLC)が等価的に接続される。

【0038】また、薄膜トランジスタ(TFT)のソース電極と前段のゲート信号線(G)との間には、付加容量(CADD)が接続される。

【0039】図3は、図1に示す液晶表示パネル10の他の例の等価回路を示す図である。

【0040】図2に示す例では、全段のゲート信号線(G)とソース電極との間に付加容量(CADD)が形成されているが、図3に示す例の等価回路では、共通信号線(COM)とソース電極との間に保持容量(CSTG)が形成されている点が異なっている。

【0041】本発明は、どちらにも適用可能であるが、前者の方式では、全段のゲート信号線(G)パルスが付加容量(CADD)を介して画素電極に飛び込むのに対し、後者の方式では、飛び込みがないため、より良好な表示が可能となる。

【0042】図2あるいは図3に示す液晶表示パネル10において、列方向に配置された各画素の薄膜トランジスタ(TFT)のドレイン電極は、それぞれドレイン信号線(D)に接続され、各ドレイン信号線(D)は、列方向に配置された画素の液晶に映像電圧(表示データ電圧)を印加するドレインドライバ130に接続される。

【0043】また、行方向に配置された各画素における薄膜トランジスタ(TFT)のゲート電極は、それぞれゲート信号線(G)に接続され、各ゲート信号線(G)は、1水平走査時間、薄膜トランジスタ(TFT)のゲートに正のバイアス電圧、あるいは、負のバイアス電圧を供給するゲートドライバ140に接続される。

【0044】ここで、図1に示す液晶表示パネル10は、 $1024 \times 3 \times 768$ 画素から構成される。

【0045】図1に示す液晶表示モジュールにおいて、インタフェース部100は、表示制御装置110と電源回路120とから構成される。

【0046】表示制御装置110は、1個の半導体集積回路(LSI)から構成され、本体コンピュータ側から送信されてくるクロック信号(CK)、ディスプレイタイミング信号(DTMG)、水平同期信号(Hsync)、垂直同期信号(vsync)の各表示制御信号および表示用データ(R・G・B)を基に、ドレインドライバ130、および、ゲートドライバ140を制御・駆動する。

【0047】電源回路120は、正電圧生成回路121、負電圧生成回路122、コモン電極(対向電極)電圧生成回路123、ゲート電極電圧生成回路124、マルチプレクサ125から構成される。

【0048】正電圧生成回路121、負電圧生成回路122は、それぞれ直列抵抗分圧回路で構成され、正電圧の階調基準電圧、あるいは、負電圧の階調基準電圧を生成する。

【0049】マルチプレクサ125は、表示制御装置110からの交流化信号(交流化タイミング信号;M)に応じて、正電圧生成回路121、あるいは、負電圧生成回路122からの出力電圧を切り替えてドレインドライバ130に出力する。

【0050】コモン電極電圧生成回路123はコモン電極に印加する駆動電圧を、ゲート電極電圧生成回路124は薄膜トランジスタ(TFT)のゲートに印加する駆動電圧(正のバイアス電圧および負のバイアス電圧)を生成する。

【0051】図4は、本実施の形態のドレインドライバ130の概略構成を示すブロック図である。

【0052】同図に示すように、ドレインドライバ130は、論理回路部151、シフトレジスタ部152、プリラッチ部153、入力ラッチ部154、ストレージラッチ部156を有する液晶駆動用電圧生成部155、階調電圧生成回路157および電圧バス158を有する。

【0053】階調電圧生成回路157は、正電圧生成回路121あるいは負電圧生成回路122から入力される階調基準電圧に基づいて64階調分の階調電圧を生成し、電圧バスライン158を介して液晶駆動用電圧生成部155に出力する。

【0054】図5は、図1に示す本体コンピュータ側からの表示制御信号および表示制御装置110で生成する制御信号のタイミングチャートを示す図であり、また、図6は、図5に示すクロック信号(D3、D4)および図4にクロック信号(D2)のタイミングチャートを示す図である。

【0055】以下、図4、図5および図6を用いて、図1に示す液晶表示パネル10の水平方向の動作を説明する。

【0056】表示制御装置110は、ディスプレイタイミング信号が入力されると、これを表示開始位置と判断し、本体コンピュータ側から受け取った単純1列の表示データを、表示データのバスライン134を介してドレインドライバ130に出力する。この場合に、表示データは、1画素単位、即ち、赤(R)、緑(G)、青(B)の各データを1つの組にして単位時間毎に転送する。

【0057】その際、表示制御装置110は、第1のクロック信号(D3)(以下、クロック信号(D3)と称す。)、および、クロック信号(D3)と周波数が同じで、位相が異なる第2のクロック信号(D4)(以下、クロック信号(D4)と称す。)を、信号線(131、132)を介してドレインドライバ130に出力する。この場合に、図6に示すように、第2のクロック信号(D4)の位相は、第1のクロック信号(D3)より($\pi/2$)遅延されている。

【0058】なお、このクロック信号(D3)およびクロック信号(D4)は、例えば、図7に示すような回路を、表示制御装置110内に備えることにより容易に生成可能である。

【0059】なお、図7に示す回路では、本体コンピュータ側からのクロック信号(CK)の立ち上がり時に同期して、D形フリップ・フロップ回路111からクロック信号(D3)(あるいはクロック信号(D4))が出力され、また、クロック信号(CK)反転クロック信号の立ち上がり時(クロック信号(D3)の立ち下がり時)に同期して、D形フリップ・フロップ回路112からクロック信号(D4)(あるいはクロック信号(D3))を出力する。

【0060】論理回路部151は、クロック信号(D

3)とクロック信号(D4)とが入力されるアンド回路51と、クロック信号(D3)とクロック信号(D4)とが入力されるノア回路52と、アンド回路51とノア回路52とが入力されるオア回路53とから構成される。

【0061】論理回路部151は、図6に示すように、クロック信号(D3)とクロック信号(D4)とから、クロック信号(D3、D4)の周波数の2倍の周波数の表示データラッチ用クロック信号(D2)(以下、クロック信号(D2)と称す。)を生成する。

【0062】シフトレジスタ部152は、論理回路部151からのクロック信号(D2)の立ち上がり時に同期して、入力ラッチ部154のデータ取り込み用信号を生成し、入力ラッチ部154に出力する。

【0063】表示制御装置110からの表示データは、始めにプリラッチ部153に入力され、プリラッチ部153は、クロック信号(D2)の反転クロック信号の立ち上がり時(クロック信号(D2)の立ち下がり時)に同期して表示データをラッチする。

【0064】入力ラッチ部154は、シフトレジスタ部152から出力されるデータ取り込み用信号に基づき、クロック信号(D2)に同期して、プリラッチ部110からの各色毎6ビットの表示データを出力本数分だけラッチする。

【0065】この場合に、ドレインドライバ130の前段のキャリー出力は、そのまま次段のドレインドライバ130のキャリー入力に入力され、このキャリー信号によりドレインドライバ130のデータラッチ動作が制御され、誤った表示データがデータラッチ部に書き込まれるのを防止している。

【0066】また、表示制御装置110は、ディスプレイタイミング信号が入力されてから所定数のクロック信号をカウントすることにより、ディスプレイタイミング信号の入力が終了したか、または、ディスプレイタイミング信号が入力されてから所定の一定時間が過ぎたかを判断し、これにより、1水平分の表示データが終了したものととして、信号線133を介して、ドレインドライバ130に出力タイミング制御用クロック信号(D1)(以下、クロック信号(D1)と称す。)を出力する。

【0067】液晶駆動用電圧生成部155のストレージラッチ部156は、表示制御装置110からのクロック信号(D1)に応じて、全ての入力レジスタ回路156内の表示データをラッチする。

【0068】液晶駆動用電圧生成部155は、ストレージラッチ部155に取り込まれた表示データおよび交流化信号(M)に基づき、電圧バスライン158を介して入力される64階調の階調電圧の中の1つを選択して、ドレイン信号線(D)に出力する。

【0069】次に、図5を用いて、図1に示す液晶表示パネル10の垂直方向の動作を説明する。

【0070】表示制御装置110は、垂直同期信号入力後に、第1番目のディスプレイタイミング信号が入力されると、これを第1番目の表示ラインと判断して信号線142を介してゲートドライバ140にフレーム開始指示信号を出力する。

【0071】さらに、表示制御装置110は、水平同期信号に基づいて、1水平走査時間毎に、液晶表示パネル10の各ゲート信号線(G)を順次選択するためのシフトクロック信号(G1)(以下、クロック信号(G1)と称す。)を、信号線141を介してゲートドライバ140に出力する。

【0072】ゲートドライバ140は、従来周知の単純シフトスキンドライバである。ゲートドライバ140は、フレーム開始指示信号(あるいは前段のキャリー信号)が入力されると、表示制御装置110から入力されるクロック信号(G1)に基づき、クロック信号(G1)に同期して液晶表示パネル10の各ゲート信号線(G)に接続された複数の薄膜トランジスタ(TFT)を、1水平時間毎に、順次導通させる。

【0073】一般に、液晶層は、長時間同じ電圧(直流電圧)が印加されていると、液晶層の傾きが固定化され、結果として残像現象を引き起こし、液晶層の寿命を縮めることになる。

【0074】これを防止するために、従来のTFT方式の液晶表示モジュールにおいては、液晶層に印加する駆動電圧をある一定時間毎(1ライン毎あるは1フレーム毎)に交流化するようにしており、そのため、表示制御装置110は、ある一定時間毎に液晶層に印加する駆動電圧を交流化するための交流化信号(M)を、電源回路120へ出力する。

【0075】ここで、交流化とは、コモン電極(対向電極)の駆動電圧を基準にして、ドレインドライバ130に入力する階調基準電圧、即ち、液晶層の画素電極に印加する駆動電圧を、一定時間毎に正電圧側/負電圧側に变化させること意味している。

【0076】このように、本実施の形態によれば、表示データの周波数と同じ周波数である32.5MHzのクロック信号(D3, D4)をドレインドライバ130に転送し、ドレインドライバ130内部で、周波数が65MHzの表示データラッチ用クロック信号(D2)を生成するようにしたので、表示データのバスライン134のバス幅を広げることなく、表示制御装置110からドレインドライバ130に、表示データをラッチするためのクロック信号(D3, D4)を転送することが可能となる。

【0077】図8、図9は、本実施の形態の前に本発明者によって検討された、液晶表示パネルの解像度が1024×768画素の場合に、表示制御装置110からドレインドライバ130へ、高周波の表示データラッチ用のクロック信号(D2)を転送する手法の一例を示すブ

ロック図である。

【0078】図8に示す方法は、表示データのバスラインとして、134aと134bとの2系統のバスラインを設け、当該2系統のバスライン(134a, 134b)をそれぞれ各ドレインドライバ130に接続し、ドレインドライバ130に2画素分の表示データを入力するようにしたものである。

【0079】また、図9に示す方法は、表示データのバスラインとして、134aと134bとの2系統のバスラインを設け、当該2系統のバスライン(134a, 134b)に交互にドレインドライバ130を接続し、2個のドレインドライバ130を同時に制御するようにしたものである。

【0080】前記図8、図9に示す方法は、いずれも、表示データのバスラインとして2系統のバスライン(134a, 134b)を設け(即ち、表示データのバスラインのバス幅を2倍にして)、表示データラッチ用クロック信号(D2)の周波数を32.5MHz(65MHzの半分)にして、表示制御装置110からドレインドライバ130へ、表示データラッチ用クロック信号(D2)を転送するようにしたものである。

【0081】しかしながら、前記図8、図9に示す方法は、表示データのバスラインのバス幅が2倍(例えば、64階調であれば36(6×3×2)ビット、256階調であれば48(8×3×2)ビット)になるため、表示制御装置110の多ピン化および、ドレインドライバ130が搭載されるプリント配線基板の多層化・面積拡大化を招き、ドレインドライバ130およびプリント配線基板のコストアップの要因となるという問題点がある。

【0082】さらに、液晶表示パネルの解像度が、SXGA表示モードの1280×1024画素の場合には、クロック信号(D2)の周波数は108MHz、表示データの周波数は54MHzとなり、クロック信号(D2)の周波数を半分にしても54MHzと高速である。

【0083】もし、クロック信号(D2)の周波数が27MHz(54MHzの半分)であれば、表示制御装置110からドレインドライバ130へ充分転送可能であるが、その場合には、表示データのバスラインは4個設ける必要があり、バスライン幅が4倍(例えば、64階調であれば72(6×3×4)ビット、256階調であれば96(8×3×4)ビット)になるため、より表示制御装置110の多ピン化および、ドレインドライバ130が搭載されるプリント配線基板の多層化・面積拡大化を招き、ドレインドライバ130およびプリント配線基板のコストアップの要因となるという問題点がある。

【0084】さらに、表示制御装置110に、表示データを2個あるいは4個のバスラインに振り分けるための回路構成が必要となり、表示制御装置110の回路構成

が複雑になるばかりでなく、コストアップの要因となるという問題点があった。

【0085】しかしながら、本実施の形態によれば、表示データのバスラインのバス幅を広げる必要はなく、ドレインドライバ130内に論理回路部151を設け、さらに、クロック信号(D3)あるいはクロック信号(D4)のために、信号線を一本追加するだけでよいので、表示制御装置110の多ピン化および、ドレインドライバ130が搭載されるプリント配線基板の多層化・面積拡大化を招くこともない。また、ドレインドライバ130およびプリント配線基板のコストアップも、少なく済む。

【0086】また、液晶表示パネルの解像度が1024×768画素の場合に、表示制御装置110からドレインドライバ130へ、高周波の表示データラッチ用クロック信号(D2)を転送する手法の他の例としては、クロック信号(D2)の周波数を32.5MHz(65MHzの半分)にして、ドレインドライバ130において、クロック信号(D2)の立ち上がり時および立ち下がり時で表示データをラッチする方法がある。

【0087】この方法によれば、図8、図9に示す方法のように、表示データのバスラインのバス幅を拡大することなく、クロック信号(D2)の周波数を低減することが可能となる。

【0088】しかしながら、プリラッチ部153に入力される表示データラッチ用のクロック信号(図1のクロック信号(D2)の反転クロック信号)と、シフトレジスタ部152に入力される制御用のクロック信号(図1のクロック信号(D2))との間に、タイミングのレーシングを防止するため所定のタイミングを確保する必要があり、クロック信号(D2)の立ち上がり時および立ち下がり時で表示データをラッチする方法では、ドレインドライバ130内部で、クロック信号(D2)の周波数2倍の周波数からなるクロック信号を生成するか、あるいは、図10に示すように、クロック信号(D2)を遅延回路159で所定時間遅延してシフトレジスタ部152に入力する必要がある。

【0089】この場合に、クロック信号(D2)の立ち上がり時および立ち下がり時から、クロック信号(D2)の周波数の2倍の周波数からなるクロック信号を生成するためには特殊な回路が必要である。また、図10に示す遅延回路159の遅延時間の設計は高速化対応のために負担が大きい。

【0090】そのため、クロック信号(D2)の立ち上がり時および立ち下がり時で表示データをラッチする方法では、ドレインドライバ130内部に特殊な回路が必要である、あるいは、遅延回路159の遅延時間の設計の高速化対応のために負担が大きいという問題点があった。

【0091】しかしながら、本実施の形態では、ドレイン

ドライバ130内部に特殊な回路が必要でなく、また、高速動作に適していない遅延回路の遅延時間の設定も必要がない。

【0092】なお、本実施の形態においては、第1および第2のクロック信号(D3, D4)を用いた場合について説明したが、第1から第nまでのn個のクロック信号(D3, D4...Dn)を用いることにより、表示データをラッチするためのクロック信号(D3, D4...Dn)の周波数をより低減することも可能である。その場合に、論理回路部151は、n個のクロック信号(D3, D4...Dn)からn番倍されたクロック信号(D2)を生成する必要がある。

【0093】[発明の実施の形態2] 図11は、本発明の他の実施の形態のドレインドライバ130の概略構成を示すブロック図である。

【0094】本実施の形態のドレインドライバ130は、図4に示す論理回路部151を省略し、また、2個のプリラッチ部(153a, 153b)と、2個のシフトレジスタ部(152a, 152b)を設けたものである。

【0095】ここで、プリラッチ部153aは、クロック信号(D3)の立ち上がり時に同期して表示データをラッチし、また、プリラッチ部153bは、クロック信号(D3)の反転クロック信号の立ち上がり時(クロック信号(D3)の立ち下がり時)に同期して表示データをラッチする。

【0096】シフトレジスタ部152aは、クロック信号(D4)の立ち上がり時に同期してデータ取り込み用信号を出力し、また、シフトレジスタ部152bは、クロック信号(D4)の反転クロック信号の立ち上がり時(クロック信号(D4)の立ち下がり時)に同期してデータ取り込み用信号を出力する。

【0097】プリラッチ部153aにラッチされた表示データは、シフトレジスタ部152aからのデータ取り込み用信号により、入力ラッチ部154に取り込まれ、また、プリラッチ部153bにラッチされた表示データは、シフトレジスタ部152bからのデータ取り込み用信号により、入力ラッチ部154に取り込まれる。

【0098】このように、本実施の形態では、クロック信号(D3)をプリラッチ部(153a, 153b)専用に使用し、クロック信号(D4)をシフトレジスタ部(152a, 152b)専用に使用するものである。

【0099】本実施の形態においても、表示データのバスラインのバス幅を広げることなく、高周波の表示データをラッチするためのクロック信号(D3, D4)を、表示制御装置110からドレインドライバ130に転送することが可能となる。

【0100】[発明の実施の形態3] 図12は、本発明の他の実施の形態のドレインドライバ130の概略構成を示すブロック図である。

【0101】図13は、表示データとクロック信号(D3, D4)とのタイミングチャートを示す図である。

【0102】本実施の形態では、表示データのバスラインとして、表示データAと表示データBとの2系統のバスラインを設け、また、ドレインドライバ130内に、2個のアリラッチ部(153a, 153b)と、2個のシフトレジスタ部(152a, 152b)を設けたものである。ここで、表示データAと表示データBとは、周波数は同じで、表示データBの位相は、表示データAより($\pi/2$)遅延している。

【0103】アリラッチ部153aは、論理回路部151からのクロック信号(D2)の反転クロック信号の立ち上がり時(クロック信号(D2)の立ち下がり時)に表示データAをラッチし、また、アリラッチ部153bは、クロック信号(D2)の立ち上がり時に同期して表示データBをラッチする。

【0104】シフトレジスタ部152aは、クロック信号(D2)の立ち上がり時に同期してデータ取り込み用信号を出力し、また、シフトレジスタ部152bは、クロック信号(D2)の反転クロック信号の立ち上がり時(クロック信号(D2)の立ち下がり時)にデータ取り込み用信号を出力する。

【0105】アリラッチ部153aにラッチされた表示データAは、シフトレジスタ部152aからのデータ取り込み用信号により、入力ラッチ部154に取り込まれ、また、アリラッチ部153bにラッチされた表示データBは、シフトレジスタ部152bからのデータ取り込み用信号により、入力ラッチ部154に取り込まれる。

【0106】本実施の形態においては、表示データのバスラインを2個設けるようにしたので、表示データをラッチするためのクロック信号(D3, D4)の周波数を、さらに低減することが可能となる。

【0107】〔発明の実施の形態4〕図14は、本発明の他の実施の形態である液晶モニター装置の一例の外観を示す図であり、図15は、本実施の形態の液晶表示モニター装置の概略構成を示すブロック図である。

【0108】図14において、200は液晶モニター装置、210はモニター用ケーブル、220はモニター用コネクタである。本実施の形態は、本発明を液晶モニター装置に適用した実施の形態であり、本実施の形態の液晶モニター装置200は、パソコン本体側とのインタフェースとして、デジタル・インタフェースを採用している。

【0109】本実施の形態では、LVDS (Low Voltage Differential Signaling) 方式で、コンピュータ本体側からクロック信号(CK)、ディスプレイタイミング信号(DTMG)、水平同期信号(Hsync)、垂直同期信号(vsync)の各表示制御信号および表示用データ(R・G・

B)が送出される。

【0110】そのため、図15に示すように、コンピュータ本体側のグラフィックコントローラ180の出力段と、表示制御装置110の入力段との間に、それぞれ半導体集積回路(LSI)で構成されるトランスミッタ(170a, 170b)とレシーバ(160a, 160b)とが設けられる。

【0111】それ以外の回路構成は、図1に示す回路構成と同じである。ただし、図15では、図面が複雑になるため、クロック信号(D3)の信号線とクロック信号(D4)の信号線とは、同じ信号線135で表している。

【0112】前記トランスミッタ170a(あるいは170b)は、グラフィックコントローラ180からのディスプレイタイミング信号(DTMG)、水平同期信号(Hsync)、垂直同期信号(vsync)および表示用データ(R・G・B)の全部で21ビットの信号を並列→直列変換して、3本のより対線でレシーバ160a(あるいは160b)に送出する。

【0113】前記レシーバ160a(あるいは160b)は、前記シリアル信号を直列→並列変換して、ディスプレイタイミング信号(DTMG)、水平同期信号(Hsync)、垂直同期信号(vsync)および表示用データ(R・G・B)を表示制御装置110に送出する。

【0114】また、クロック信号(CK)は、一本のより対線で前記トランスミッタ170a(あるいは170b)からレシーバ160a(あるいは160b)に伝送される。

【0115】ここで、3本のより対線上でのシリアル信号の周波数は、クロック信号(CK)の周波数の7倍となっている。

【0116】なお、本実施の形態では、パソコン本体側とのインタフェースは、アナログ・インタフェースであってもよく、その場合に、液晶モニター装置側で、アナログのR・G・Bの映像信号をデジタル信号に変換する必要があることは言うまでもない。

【0117】また、前記各実施の形態では、本発明をTFT方式の液晶表示装置に適用した場合について説明したが、これに限定されるものではなく、本発明は、STN方式の単純マトリクス形液晶表示装置にも適用可能であることは言うまでもない。

【0118】以上、本発明者によってなされた発明を、前記発明の実施の形態に基づき具体的に説明したが、本発明は、前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0119】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下

記のとおりである。

【0120】(1)本発明によれば、高解像度の液晶表示パネル具備する液晶表示装置において、表示データのバスラインのバス幅を増やすことなく、駆動手段へ送出されるクロック信号の周波数を低減することが可能となる。

【0121】(2)本発明によれば、高解像度の液晶表示パネル具備する液晶表示装置において、駆動手段内に特殊な回路、あるいは、遅延回路を用いることなく、また、駆動手段内の回路変更を最小限にして、駆動手段に送出されるクロック信号から、その周波数が通信されたクロック信号を生成することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるTFT方式の液晶表示モジュールの概略構成を示すブロック図である。

【図2】図1に示す液晶表示パネルの一例の等価回路を示す図である。

【図3】図1に示す液晶表示パネルの他の例の等価回路を示す図である。

【図4】本実施の形態1のドレインドライバの概略構成を示すブロック図である。

【図5】図1に示す本体コンピュータ側からの表示制御信号および表示制御装置110で生成する制御信号のタイミングチャートを示す図である。

【図6】図5に示すクロック信号(D3, D4)および図4に示すクロック信号(D2)のタイミングチャートを示す図である。

【図7】本実施の形態1の表示制御装置でクロック信号(D3)およびクロック信号(D4)を生成する回路構成の一例を示す図である。

【図8】本実施の形態の前に本発明者によって検討された、液晶表示パネルの解像度が大解像度の場合に、表示制御装置からドレインドライバへ、高周波の表示データラッチ用のクロック信号(D2)を転送する手法の一例を示すブロック図である。

【図9】本実施の形態の前に本発明者によって検討された、液晶表示パネルの解像度が大解像度の場合に、表示

制御装置からドレインドライバへ、高周波の表示データラッチ用のクロック信号(D2)を転送する手法の一例を示すブロック図である。

【図10】本実施の形態の前に本発明者によって検討された、液晶表示パネルの解像度が大解像度の場合に、クロック信号(D2)の立ち上がり時および立ち下がり時で表示データをラッチするようにしたドレインドライバの概略構成を示すブロック図である。

【図11】本実施の形態2のドレインドライバの概略構成を示すブロック図である。

【図12】本実施の形態3のドレインドライバの概略構成を示すブロック図である。

【図13】本実施の形態3のクロック信号(D3, D4)とクロック信号(2)とのタイミングチャートを示す図である。

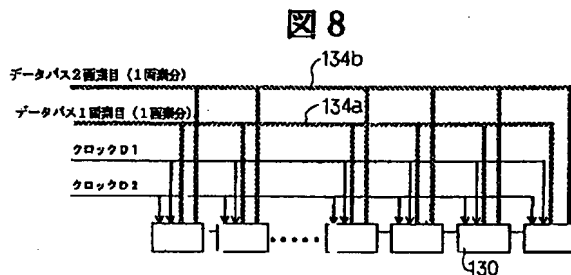
【図14】本発明の他の実施の形態である液晶モニター装置の一例の外観を示す図である。

【図15】本実施の形態4の液晶表示モニター装置の概略構成を示すブロック図である。

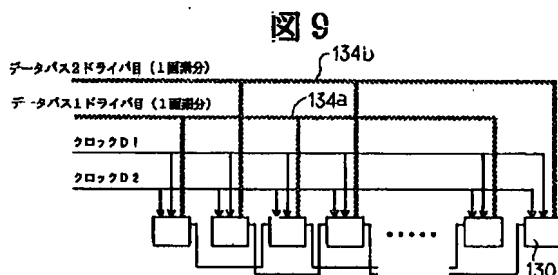
【符号の説明】

10…液晶表示パネル(TFT-LCD)、51…アンド回路、52…ノア回路、53…オア回路、100…インタフェース部、110…表示制御装置、111, 112…D形フリップフロップ回路、120…電源回路、121…正電圧生成回路、122…負電圧生成回路、123…コモン電極(対向電極)電圧生成回路、124…ゲート電極電圧生成回路、125…マルチプレクサ、130…ドレインドライバ、151…論理回路部、152, 152a, 152b, 162…シフトレジスタ部、153, 153a, 153b…プリラッチ部、154…入力ラッチ部、155…液晶駆動用電圧生成部、156…ストレージラッチ部、157…階調電圧生成回路、158…電圧バス、159…遅延回路、140…ゲートドライバ、160a, 160b…レシーバ、170a, 170b…トランスミッタ、180…グラフィックコントローラ、200…液晶モニター装置、210…モニター用ケーブル、220…モニター用コネクタ。

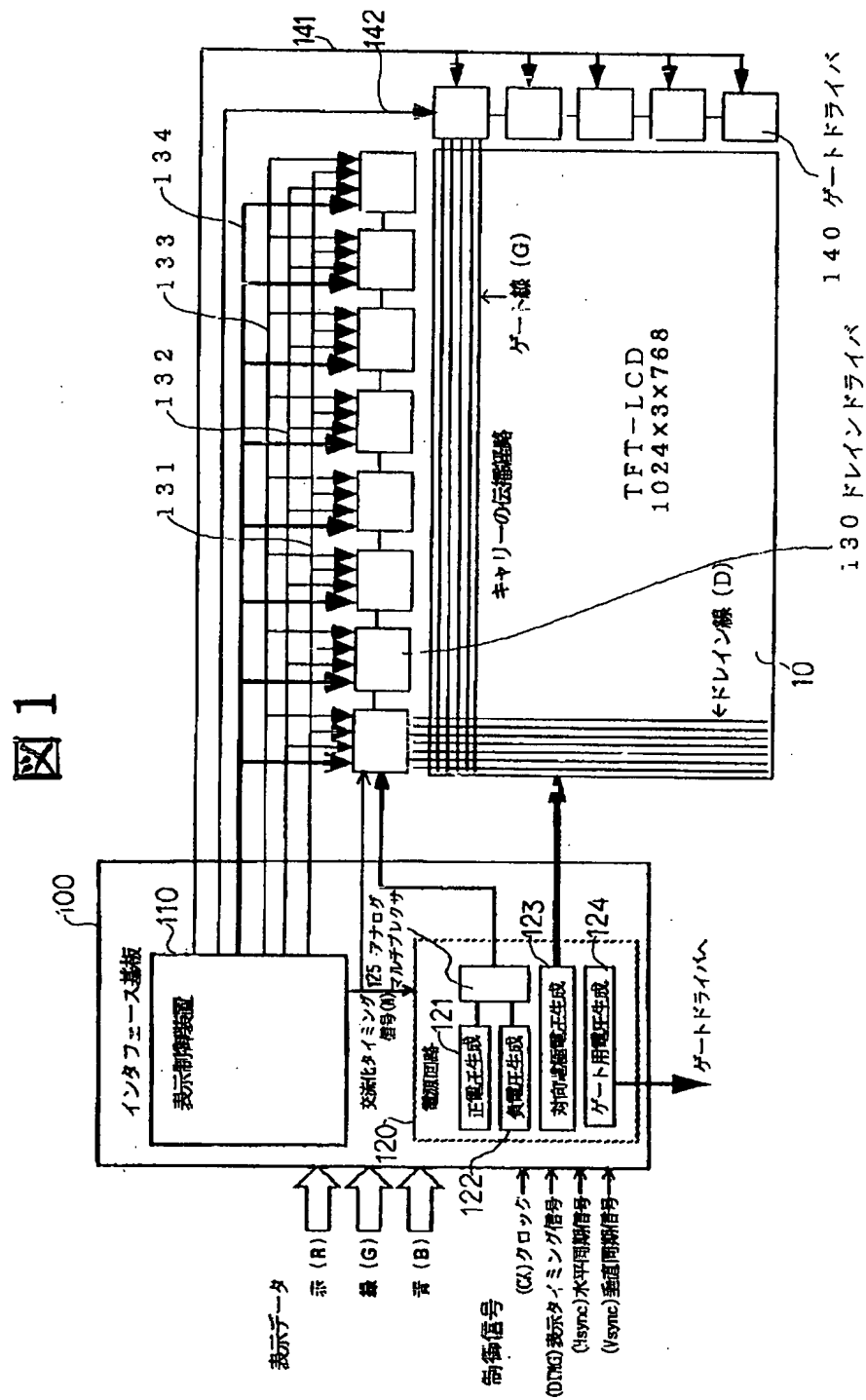
【図8】



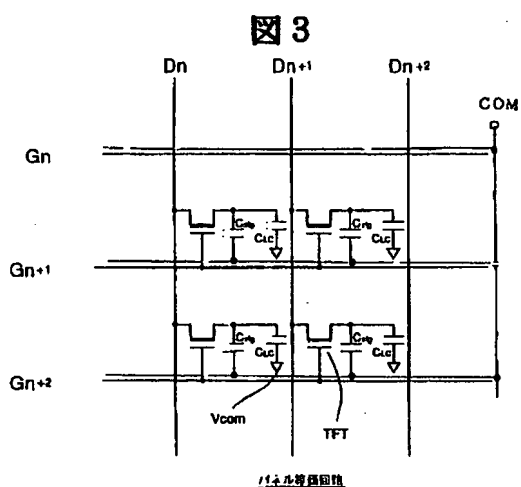
【図9】



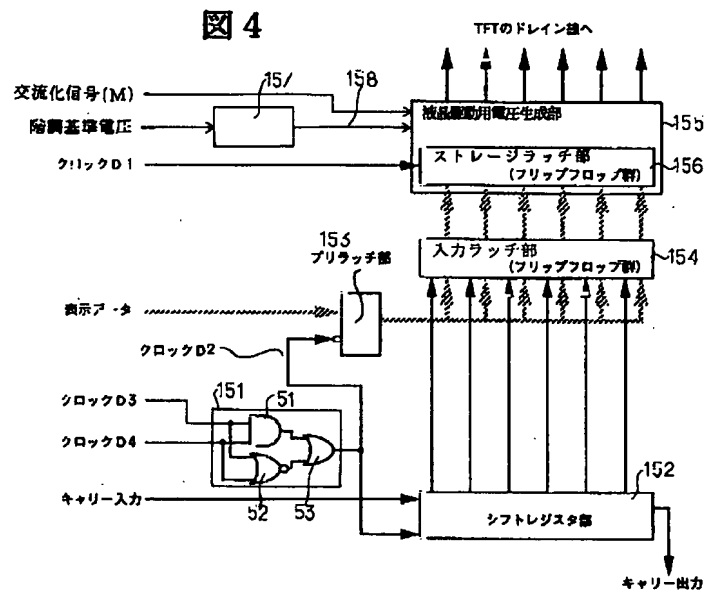
【図 1】



【図3】

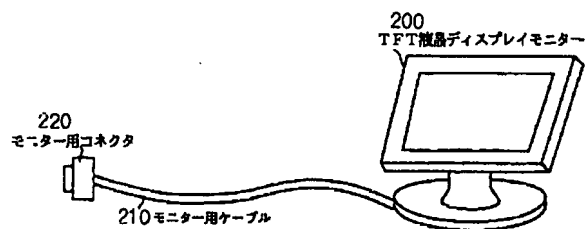


【図4】



【図14】

图 14

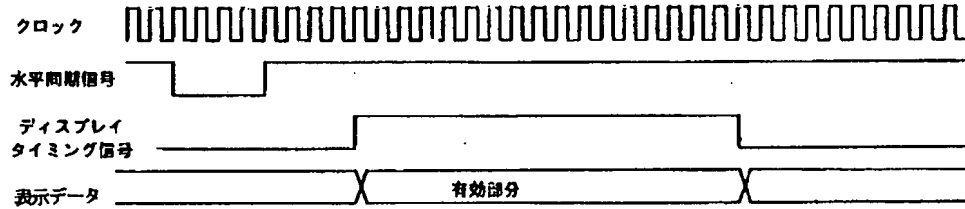


【図5】

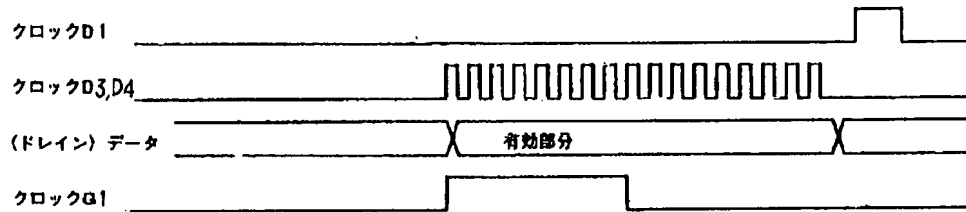
図5

(水平方向のタイミング)

【表示制御装置：入力】

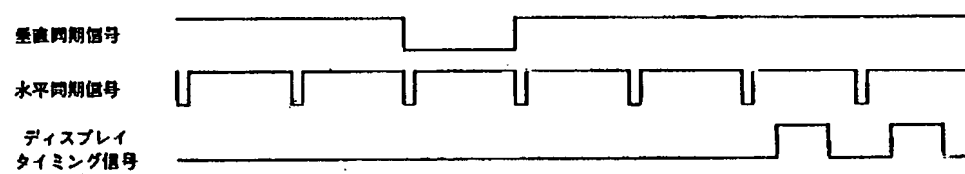


【表示制御装置：出力】

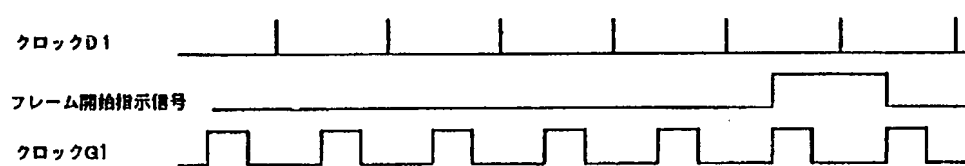


(垂直方向のタイミング)

【表示制御装置：入力】

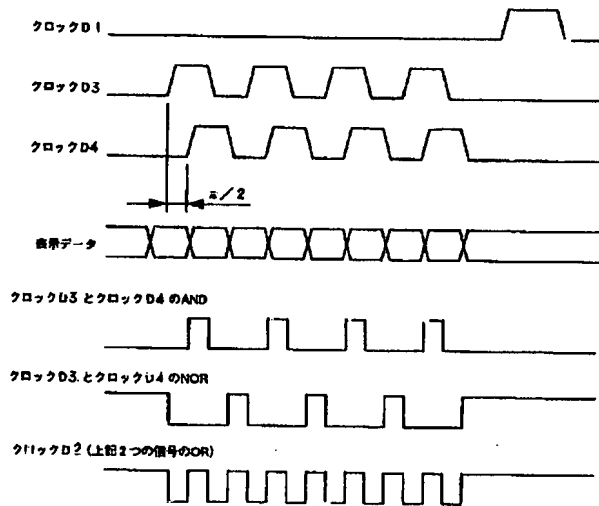


【表示制御装置：出力】



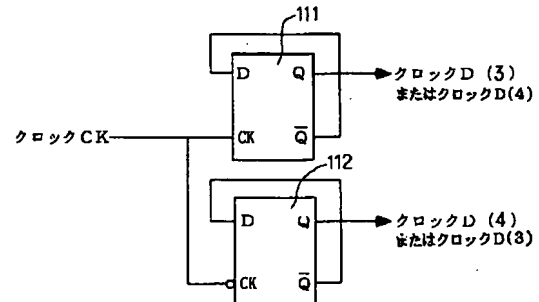
【図6】

図6



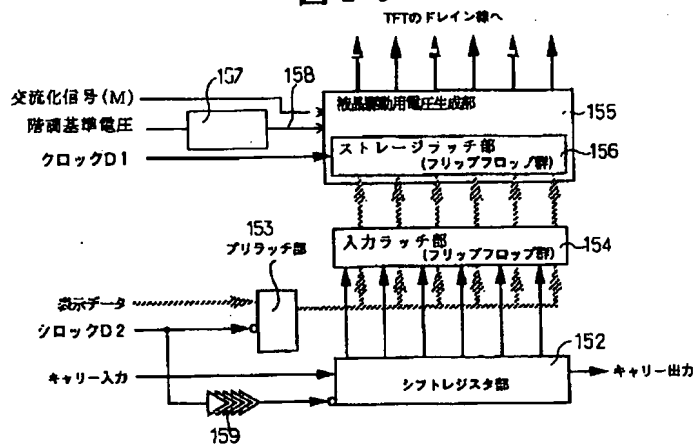
【図7】

図7



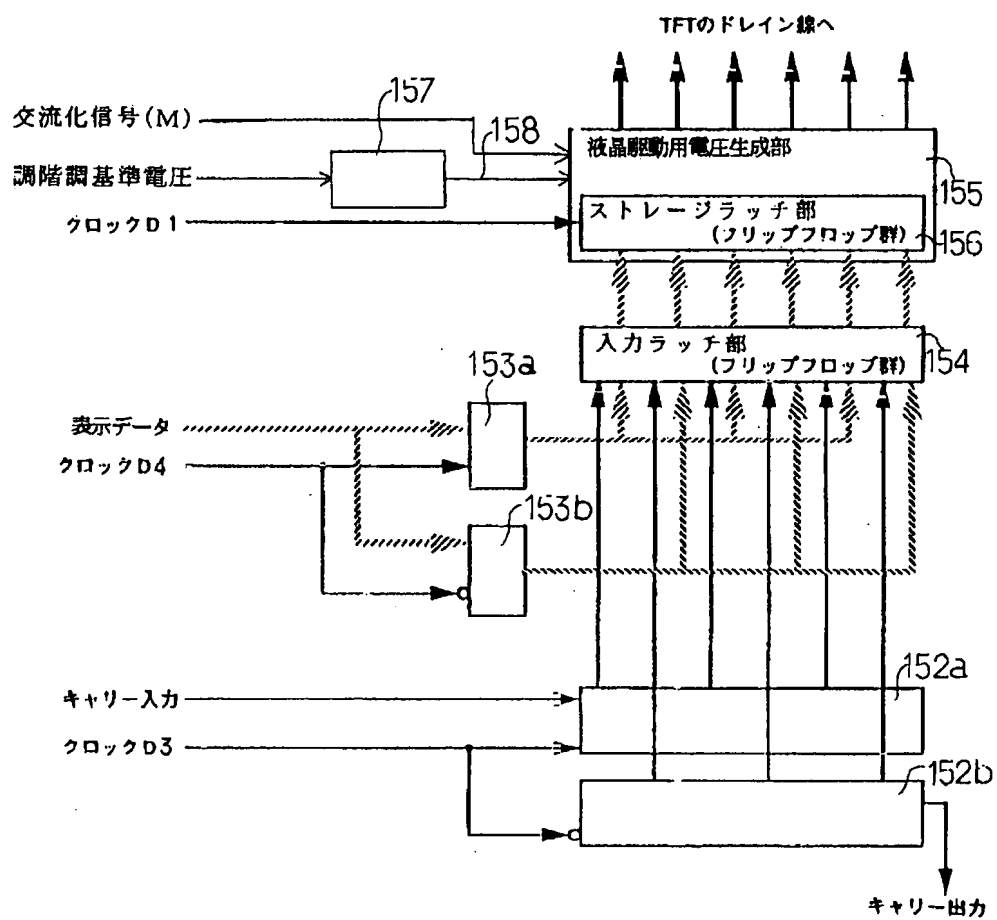
【図10】

図10



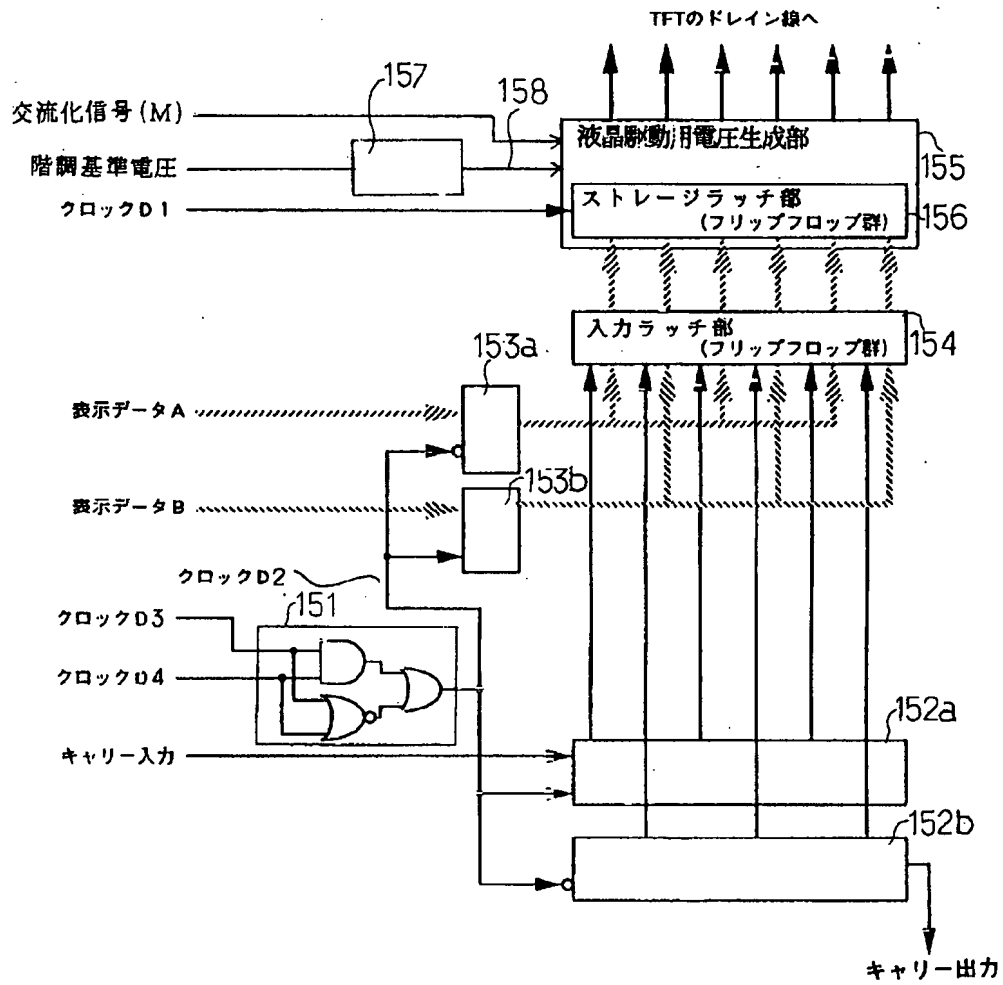
【図11】

図 11



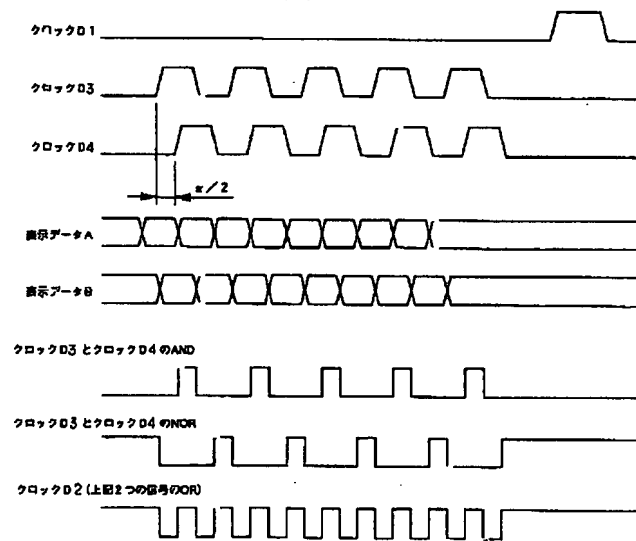
【図12】

図 1 2



【図13】

図13



【図15】

図15

